

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-232095

(43)Date of publication of application : 22.08.2000

(51)Int.Cl. H01L 21/3065  
H01L 21/306

(21)Application number : 11-033800

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 12.02.1999

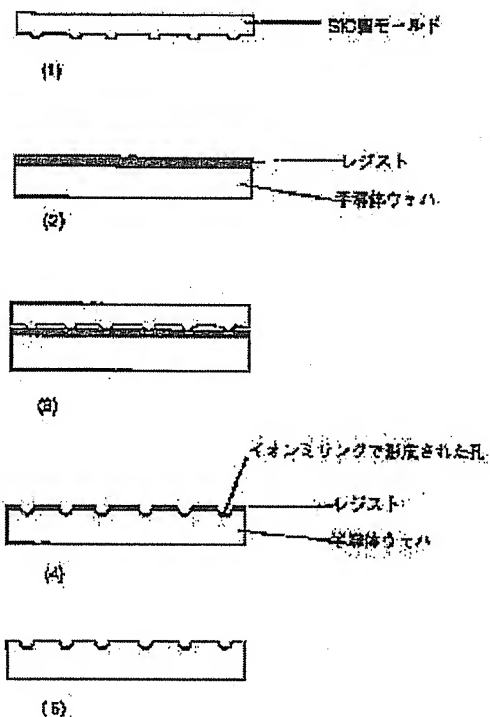
(72)Inventor : OGASAWARA MATSUYUKI  
NAKAO MASASHI  
YOKOO ATSUSHI  
TAMAMURA TOSHIAKI  
MASUDA HIDEKI

## (54) FORMATION METHOD FOR FINE PATTERN OF SEMICONDUCTOR SURFACE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To form a fine pattern on a semiconductor surface by pressing a mold on which a projected-and-recessed pattern is formed against a resist film of the semiconductor surface to transfer a projected-and-recessed reverse pattern to the surface of resist film, and then working the resist film and the semiconductor surface under it in the dry etching method of low material selectivity.

**SOLUTION:** A mold on which projected-and-recessed type pattern is formed is prepared, then resist is applied to a semiconductor surface, and the mold is pressed against the applied resist film to transfer the projected-and-recessed pattern. At this time, by applying proper pressure, a faithfully patterned recessed part is formed after a formation of the projected part of the mold on the resist film. Then the resist film and the semiconductor surface under it are etched in the dry etching method of low material selectivity while maintaining a projected-and-recessed reverse form of the mold cut into the resist film. As a result, a fine pattern is formed on the semiconductor surface.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-232095

(P2000-232095A)

(43)公開日 平成12年8月22日 (2000.8.22)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

データベース\* (参考)

H 0 1 L 21/3065

H 0 1 L 21/302

B 5 F 0 0 4

21/306

P

審査請求 未請求 請求項の数2 O L (全 7 頁)

(21)出願番号

特願平11-33800

(22)出願日

平成11年2月12日 (1999.2.12)

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72)発明者 小笠原 松幸

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72)発明者 中尾 正史

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(74)代理人 100068353

弁理士 中村 純之助 (外2名)

最終頁に続く

(54)【発明の名称】 半導体表面の微細パターン形成方法

(57)【要約】

【課題】凸型のパターンを形成したモールドを半導体表面上のレジスト膜に押し付けることにより半導体表面を微細加工する方法において、該凸型の形状を忠実に反映した凹型よりなるパターンを半導体表面に転写する方法を提供すること。

【解決手段】凸型のパターンを有するS i C製モールドを準備し、半導体ウエハ上に形成されたレジスト膜に該モールドを押し付けて、圧痕のパターンをレジスト膜に転写し、イオンミリングによってレジストと半導体とをエッチングした後、半導体上に残存するレジストを除去する方法を構成することによって課題を解決する。

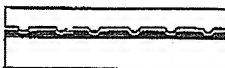
図1



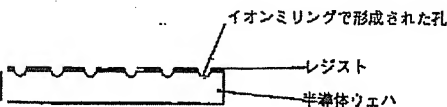
(1) SiC製モールドの準備



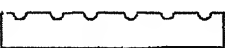
(2) レジストの塗布



(3) 圧痕パターンの形成



(4) イオンミリング



(5) レジストの除去

## 【特許請求の範囲】

【請求項1】凹凸型のパターンを形成したモールドを、半導体表面に形成したレジスト膜に押し付けることにより該レジスト膜表面に該パターンの凹凸反転パターンを転写する第1の工程と、該第1の工程後の該レジスト膜とその下の半導体表面を材料選択性の低いドライエッチング法で加工する第2の工程とからなることを特徴とする半導体表面の微細パターン形成方法。

【請求項2】凹凸型のパターンを形成したモールドを、半導体表面に形成したレジスト膜に押し付けることにより該レジスト膜表面に該パターンの凹凸反転パターンを転写する第1の工程と、該第1の工程後の該レジスト膜とその下の半導体表面を材料選択性の低いドライエッチング法で加工する第2の工程と、該第2の工程後の半導体表面を湿式エッチング法でエッチング加工する第3の工程とからなることを特徴とする半導体表面の微細パターン形成方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体表面の微細パターン形成方法に関する。

【0002】

【従来の技術】半導体表面への微細なパターンの形成は、量子効果を用いた半導体素子を作製する上で重要である。量子効果が発現するパターン寸法は、約数nmから数十nmの範囲である。この寸法範囲は、光の波長と同程度の寸法範囲であるため、フォトリソグラフィを用いて加工することは困難である。この寸法範囲の加工には、フォトリソグラフィに代わり、電子線でレジスト膜を露光するEBリソグラフィが利用されているが、この方法にはスループット（時間当たりの処理能力）が小さいという問題がある。ここに「レジスト」とは、一般に、耐エッチング性を有する塗膜材料を意味する。

【0003】最近、フォトリソグラフィやEBリソグラフィに代わる技術として、ナノインプリント法が用いられている（S. Y. Chou, et.al., Science, vol. 272, p.85-87, 5 April, 1996参照）。この方法は、予めパターンを形成したSiO<sub>2</sub>製のモールド（鋳型）を半導体表面に塗布したレジストに押し付けることにより圧痕のパターンを形成し、圧痕のパターンを形成したレジストをマスクにして半導体表面を加工する方法である。

【0004】図8は、この方法を用いた微細パターン形成の工程を説明する断面図である。それは次の6工程からなる。

【0005】図8（1）～（6）は、次の工程1から工程6にそれぞれ対応する。

【0006】〔工程1〕凸型のパターンを形成したSiO<sub>2</sub>製のモールドを準備する。

【0007】〔工程2〕半導体ウェハの表面にレジストを塗布する。

【0008】〔工程3〕レジストに、SiO<sub>2</sub>製のモールドを約 $1.3 \times 10^7$  Paの圧力で押し付け、圧痕のパターンを転写する。

【0009】〔工程4〕圧痕を形成したレジストを、酸素使用反応性イオンエッチング（酸素RIE）で加工する。

【0010】〔工程5〕レジストをマスクにして、半導体表面をエッチングする。

【0011】〔工程6〕レジストを除去する。

【0012】

【発明が解決しようとする課題】以上のような工程を経て、半導体表面に微細なパターンが形成される。この技術においては、半導体表面に塗布したレジストにパターンを転写するため、半導体表面にレジストを塗布する工程、圧痕を形成したレジストを酸素RIEで加工する工程、およびレジストを除去する工程が必要であり、工程が複雑である。また、この方法では、図8（4）に示すように、酸素RIEにより薄い部分のレジストを完全に除去してしまう。酸素RIEは、材料選択性の高い（すなわち材料の種類によってエッチング速度が大きく異なる）エッチング方法であるため、この方法によって、レジストはエッチングされるが半導体はエッチングされない。そのため、酸素RIEによっては、モールドに形成されている凸部の形状を反映した凹部の形状からなるパターンを半導体表面に転写できないという問題点がある。

【0013】本発明が解決しようとする課題は、上記の問題点を解決し、モールドに形成されている凸部の形状を反映した凹部の形状からなるパターンを半導体の表面に転写できる半導体表面の微細パターン形成方法を提供することである。

【0014】

【課題を解決するための手段】上記課題を解決するため、本発明の半導体表面の微細パターン形成方法は、凹凸型のパターンを形成したモールドを、半導体表面に形成したレジスト膜に押し付けることにより該レジスト膜表面に該パターンの凹凸反転パターンを転写する第1の工程と、該レジスト膜とその下の半導体表面を材料選択性の低いドライエッチング法で加工する第2の工程とからなることを特徴とする。

【0015】さらに、本発明に係る半導体表面の微細パターン形成方法は、凹凸型のパターンを形成したモールドを、半導体表面に形成したレジスト膜に押し付けることにより該レジスト膜表面に該パターンの凹凸反転パターンを転写する第1の工程と、該レジスト膜とその下の半導体表面を材料選択性の低いドライエッチング法で加工する第2の工程と、該第2の工程後の半導体表面を湿式エッチング法でエッチング加工する第3の工程とから

なることを特徴とする。

#### 【0016】

【発明の実施の形態】従来は、モールドを押し付けてパターンを形成したレジスト膜を酸素R I Eで加工していた。それに対し、本発明は、材料選択性の低い(すなわち材料の種類によってエッチング速度が大きくは異なる)ドライエッチング法で加工する点において、従来の方法と異なる。材料選択性の低いドライエッチング法を用いるため、レジスト膜に転写されたモールドの凸部の圧痕形状(凹部形状)を保つ様にエッチングが進む。レジスト膜がエッチングによって完全に除去された部位においては、半導体表面がひきつづきエッチングされ、モールドの凸部の形状が反映された微細パターンが、凹凸反転して、半導体表面に転写される。

【0017】(実施の形態1)図1は、本発明に係る半導体表面の微細パターン形成方法の工程を、上記凹凸型パターンが凸型パターンである場合について、説明する図である。なお、この凸型パターンを一般の凹凸型パターンで置き換えても、本発明は、以下に説明する実施の形態と同様に実施される。本発明に係る半導体表面の微細パターン形成方法は、モールドの準備も含めて、次の5工程からなる。各工程は、それぞれ図1の(1)～(5)に対応する。

【0018】〔工程1〕凸型パターンを形成したモールドを準備する。

【0019】〔工程2〕半導体表面にレジストを塗布する。

【0020】〔工程3〕該レジストに、モールドを押し付け、圧痕のパターンを転写する。

【0021】〔工程4〕材料選択性の低いドライエッチング法で加工する。

【0022】〔工程5〕レジストを除去する。

【0023】次に、個々の工程について更に詳しく説明する。

【0024】まず、第1の工程について説明する。モールドはSiCの単結晶ウェハからなり、その表面に通常の電子ビーム(E B)リソグラフィーを用いてパターンが形成されている。機械的な強度の点と、E Bリソグラフィーを用いることが出来る点からSiCの単結晶を用いている。このモールドは、一度作製すれば繰り返し使用することができる。そのため、従来のフォトリソグラフィーやE Bリソグラフィーに比べ、スループットが向上するという利点がある。図2に、モールドの凸部と、それに対応する半導体表面に形成される孔の形状との関係の例を示す。図2の(1)は半球状の凸部の例であり、図2の(2)は円錐状の凸部の例であり、そして図2の(3)は角型の凸部の例である。このように、本発明を用いるとモールドの形状を反映した凹凸反転形状からなるパターンを半導体表面に形成することができる。

【0025】次に、第2の工程について説明する。半導

体表面に、レジストを塗布する。このレジストの材料は、モールドを押し付けたときに、モールドに形成されたパターンにしたがって変形する程度の適度な柔らかさと流動性を有し、モールドを取り去った後もパターンを保つだけの固さがあればよい。レジストの材料の例としては、フォトリソグラフィーに用いるレジストやE Bリソグラフィーに用いられるポリメチルメタクリレート(P MMA)が挙げられる。

【0026】次に、第3の工程について説明する。この工程は、半導体表面に塗布したレジスト膜に、モールドを押し付けてパターンを転写する工程である。モールドを押し付けることにより、レジスト膜に厚さのコントラスト(膜厚の位置的变化)が形成される。適度な圧力を印加することにより、モールドの凸部の形状を忠実にかたどった凹部形状がレジスト膜に形成される。

【0027】次に、第4の工程について説明する。材料選択性が低いとは、エッチング速度が材料によらず、ほぼ同じであることを意味する。そのようなエッチング法として代表的なエッチング法がイオンミリング法である。この方法では、レジストのエッチング速度と半導体のエッチング速度がほぼ同じであるため、レジスト膜に刻されたモールドの凹凸反転形状が保存されながら、エッチングが進行する。レジスト膜の薄い部分は短時間でレジストが除去され、引き続き半導体表面がエッチングされる。そして、レジスト膜の薄い部分では半導体が深くエッチングされるが、レジスト膜が厚い部分は半導体表面がエッチングされないか、エッチングが行われたとしても浅くエッチングされるにすぎない。したがって、半導体表面にはモールドの凸部の形状に対応する凹部を持つパターンが形成される。エッチングの時間は、レジスト膜の薄い部分が除去される時間から、レジスト膜の厚い部分が除去される時間までの間であれば、自由に設定することができる。レジストが完全に除去されるまでエッチングを行えば、次の第5の工程は不要である。

【0028】以上説明したように、本発明は、レジストのエッチングと半導体のエッチングを1つのエッチング工程によって行う。これに対し、従来の方法に用いられていた酸素R I Eは、半導体に対するエッチング速度がほとんど零であるため、半導体表面が露出したところでエッチングが停止する。そのため、半導体表面の加工は、他のエッチング方法を用いて行わなくてはならない。

【0029】次に、第5の工程について説明する。この工程では、半導体表面に残存しているレジストを除去する。

【0030】以上のような工程を経て、半導体表面に微細パターンが形成される。

【0031】図3は、本発明の方法により微細パターンを形成した半導体基板の模式図である。図3の(1)は半導体基板の斜視図であり、図3の(2)は、図3の

(1)のA-A'断面図である。図3には、孔からなる微細パターンの例を示したが、これに限らず、線状の溝からなるパターンであってもよい。また、パターンは、周期的なパターンであっても良く、また、特に周期性のないものであっても良い。要するに、半導体表面に、局所的に陥没した孔や溝が施されていればよい。

【0032】図4は、微細パターンの例を示したものである。図4の(1)、(2)、(3)は、孔からなる周期的なパターンの例であり、それぞれ、正方パターン、三方パターン、六方パターンである。図4の(4)には、線状の溝からなる周期的なパターンの例を示している。このパターンの応用の1例は回折格子である。

【0033】また、図5は、孔の形状の例を示したものであり、図5の(1)は円形、図5の(2)は四角形、図5の(3)は六角形の例を示した。

【0034】本発明では、材料選択性の低いドライエッチング法で加工するため、図5に示すような孔の形状が忠実に半導体基板表面に形成される。

【0035】(実施の形態2)第2の実施の形態を図6に示した。

【0036】まず、上記実施の形態1と同様にして、イオンミリングによってGaAs基板あるいはInP基板の表面に周期的な数nmのエッチング部を形成後、基板を湿式エッチングした。孔の部分、すなわち、イオンミリングによってエッチングされた部分は、イオンミリングの際にイオンの衝撃を受けているため局所的に変質している。そのため、他の部分とは性質が異なる。そのため、エッチング液の種類を選ぶことにより、孔の部分を選択的にエッチングする場合と、それ以外の部分を選択的にエッチングする場合を適宜選択することが出来る。図6の(1)は、孔の部分を選択的にエッチングするエッチング液を用いてエッチングした場合の断面図である。図6には、エッチング前後の形状をそれぞれ示している。このような場合の実例として、微細パターンを形成したGaAs基板の表面を50%フッ酸-61%硝酸-水混合液(容量混合比 1:3:10)でエッチングする場合、および、微細パターンを形成したInP基板の表面を36%塩酸-水の混合液(容量混合比 1:9)でエッチングする場合がある。なお、InP基板のエッチングにはフッ酸系溶液を用いることもできる。

【0037】図6の(2)は、孔の部分以外を選択的にエッチングするエッチング液を用いてエッチングした場合の断面図である。エッチング前の孔の部分がエッチング後には突起となっている点が図6の(1)の場合と異なる点である。このような場合の実例として、微細パターンを形成したGaAs基板の表面を50%フッ酸-30%過酸化水素-水混合液(容量混合比 1:1:4)液でエッチングする場合がある。ここでは、例示しないが、これ以外の半導体とエッチング液の組合せも用いることが出来る。また、エッチング液の種類により、エッチ

ング後の孔の形状が四角錐の様に結晶面の異方性を反映した形状になる場合もあれば、なだらかな丸みを帯びた形状になる場合もある。

【0038】本実施の形態、すなわち、エッチング溶液を用いる湿式エッチングによって基板をエッチングする場合には、エッチングが基板面に沿っても進行するので、事前にレジストを基板面から除去しておくなくても、エッチングが進行するに従ってレジスト膜は基板面から剥離してしまう。すなわち、この場合には、湿式エッチング前にレジストを基板面から除去する工程は必ずしも必要でない。

【0039】次に、本発明の半導体基板の利用形態を説明する。

【0040】(利用の形態)図7に、本発明に実施によって形成した微細パターンを利用形態を示した。この場合には、半導体表面をそのまま結晶成長の基板として利用する。

【0041】本利用の形態においては、実施の形態1と同様にして微細パターンを形成した半導体基板をそのまま成長装置に装填して、該半導体基板上にエピタキシャル成長を行う。

【0042】孔の部分、すなわちイオンミリングによってエッチングされた部分は、イオンミリングの際にイオンの衝撃を受けているため局所的に変質している。そのため、他の部分とは性質が異なる。そのため、エピタキシャル成長する半導体の種類を選ぶことにより、孔の部分に選択的に成長する場合と、それ以外の部分に選択的に成長する場合を適宜選択することが出来る。

【0043】図7の(1)には、孔の部分にエピタキシャル成長する場合を示した。図7の(1)に示したように、GaAs基板上にInAsをエピタキシャル成長させる場合がその例である。孔の部分に選択的にInAsがエピタキシャル成長し、量子ドットとなる。

【0044】図7の(2)には、孔の部分以外に選択的にエピタキシャル成長する場合を示した。図7の(2)に示したように、GaAs基板上にGaAsを成長する場合がその例である。GaAsは、孔の部分には成長せずに、それ以外の部分に選択的に成長する。

【0045】上記以外にも、本発明の半導体基板の利用法がある。最近、半導体の微細加工法として陽極化成法が用いられている。この技術を用いると、nmサイズの径を有する高アスペクト比の孔からなる多孔質構造を容易に作ることが出来る。しかしながら、孔の位置がランダムであり、その影響で孔の径の揺らぎが大きい。孔の位置を規則的に配列すれば、孔の径が一樣になるものと考えられる。孔の位置は、表面の微細な凹凸により電場が局所的に大きくなった所に形成される。表面に予め孔を形成すると、孔の部分で局所的な電場の増大が起こり、その位置に高アスペクト比の孔が形成される。つまり、本発明の半導体基板を陽極化成すると、孔の部分か

ら陽極化成が進行し、規則的な配列をとる高アスペクト比の孔からなる多孔質構造が得られる。

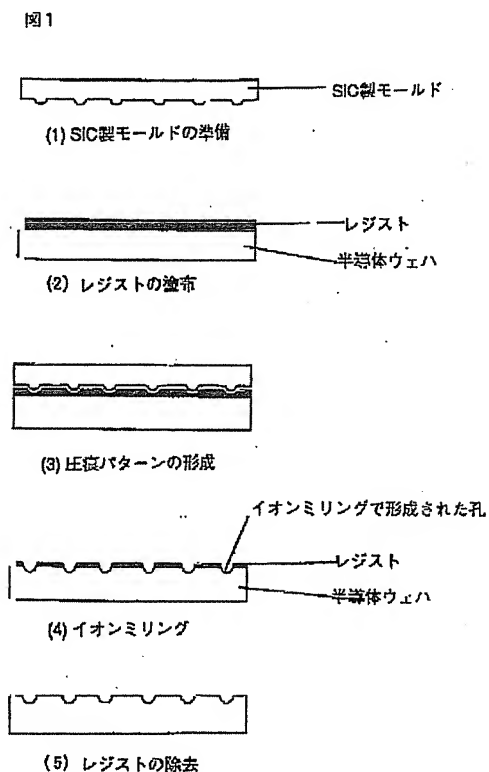
【0046】以上の説明は、GaAsやInP等の化合物半導体を例に取り説明したが、これに限られるものではなく、SiやGe等の元素半導体でも適用できることは言うまでもない。

【0047】

【発明の効果】本発明は、材料選択性の低いドライエッチング法を用いるため、レジスト膜に転写されたモールドの凸部の形状を保つ様にエッチングが進み、モールドの凸部の形状が反映された微細パターンが半導体表面に形成される。

【図面の簡単な説明】

【図1】



【図5】

図5



【図1】本発明の微細パターン形成方法を説明する図である。

【図2】モールドに形成された凸部の形状と半導体表面に形成された孔の形状との関係を示す図である。

【図3】微細パターンを形成された半導体基板の模式図である。

【図4】微細パターンの例を示す図である。

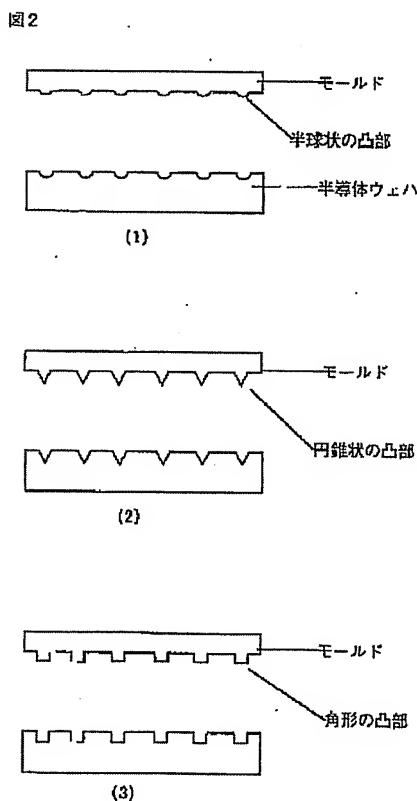
【図5】孔の形状の例を示す図である。

【図6】本発明の微細パターン形成方法を説明する図である。

【図7】本発明の利用形態を説明する図である。

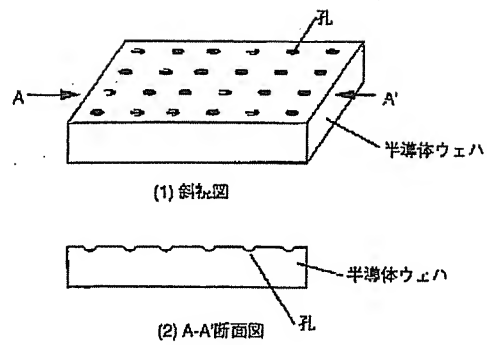
【図8】従来の微細パターン形成方法を説明する図である。

【図2】



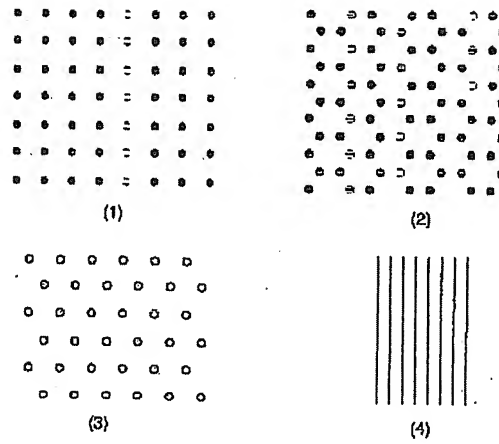
【図3】

図3



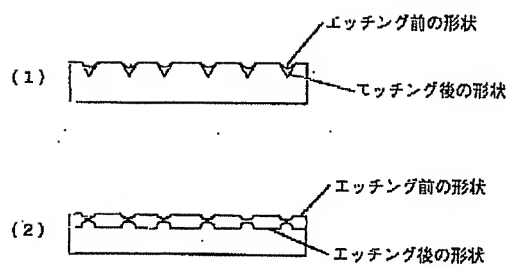
【図4】

図4



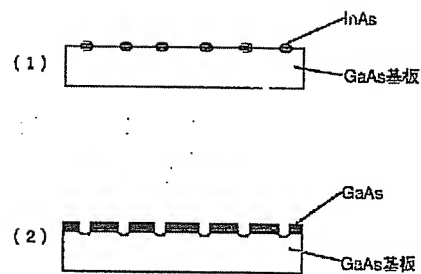
【図6】

図6



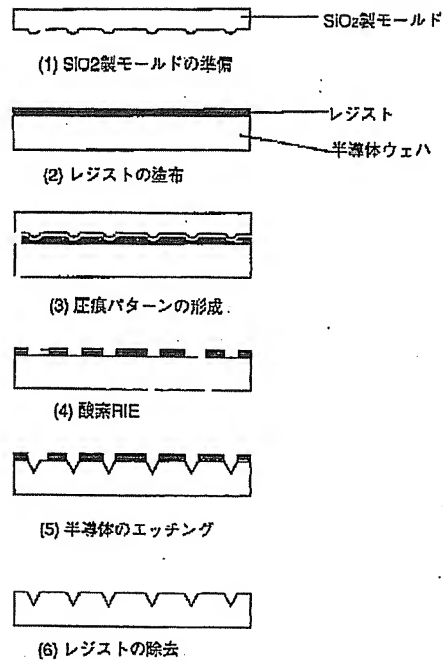
【図7】

図7



【図8】

図8



フロントページの続き

(72)発明者 横尾 篤

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 玉村 敏昭

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 益田 秀樹

東京都八王子市別所2-13-2-510

Fターム(参考) 5F004 AA00 BA17 BB18 DA26 DB00

DB01 DB20 DB22 DB26 DB27

EA10 EA28 EA40 EB08 FA08